

712  
822  
PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Takayuki Tomita, et al. Examiner: Unassigned  
Serial No: Unassigned Art Unit: Unassigned  
Filed: Herewith Docket: 14651  
For: SPECTRUM SPREAD RECEIVER Dated: May 25, 2001  
DEVICE

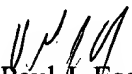
Assistant Commissioner for Patents  
United States Patent and Trademark Office  
Washington, D.C. 20231

CLAIM OF PRIORITY

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submit a certified copy of Japanese Patent Application No. 2000-163420 filed May 31, 2000.

Respectfully submitted,

  
Paul J. Esatto, Jr.  
Registration No.: 30,749

Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, New York 11530  
(516) 742-4343

CERTIFICATE OF MAILING BY "EXPRESS MAIL"

Express Mailing Label No.: EL915257055US

Date of Deposit: May 25, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents and Trademarks, Washington, D.C. 20231 on May 25, 2001.

Dated: May 25, 2001

  
Michelle Mustafa

OS 10525 45

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2000年 5月31日

出 願 番 号  
Application Number:

特願2000-163420

出 願 人  
Applicant(s):

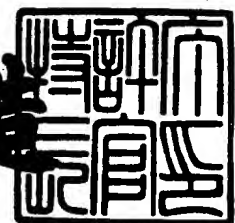
日本電気アイシーマイコンシステム株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3012677

【書類名】 特許願

【整理番号】 01211136

【提出日】 平成12年 5月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H04B 1/707

【発明の名称】 スペクトル拡散受信装置

【請求項の数】 5

【発明者】

    【住所又は居所】 神奈川県川崎市中原区小杉町一丁目4 0 3 番 5 3   日本  
                        電気アイシーマイコンシステム株式会社内

    【氏名】 富田 隆行

【発明者】

    【住所又は居所】 神奈川県川崎市中原区小杉町一丁目4 0 3 番 5 3   日本  
                        電気アイシーマイコンシステム株式会社内

    【氏名】 丸山 勇一

【特許出願人】

    【識別番号】 000232036

    【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

    【識別番号】 100108578

    【弁理士】

    【氏名又は名称】 高橋 詔男

【代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100101465

    【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901153

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スペクトル拡散受信装置

【特許請求の範囲】

【請求項 1】 受信データに基づいて生成される逆拡散データをレイク合成する際、複数シンボルの逆拡散データを一旦記憶回路に記憶した後、所定のタイミング調整を行うことによりレイク合成することを特徴とするスペクトル拡散受信装置。

【請求項 2】 マルチパスからの受信データを、各パス毎に対応したタイミングに従って同期をとって相関処理し、前記各パスの相関出力信号をレイク合成するスペクトル拡散受信装置において、

前記タイミングに従う逆拡散データを生成する複数のフィンガ処理回路と、

前記逆拡散データが所定長単位で格納される記憶回路と、

前記記憶回路に所定量の逆拡散データが格納されたときにタイミング信号を出力するタイミング調整回路と、

前記タイミング調整回路により出力されるタイミング信号により前記記憶回路から所定長の逆拡散データを読み出し、レイク合成を行なうレイク合成器とを備えたことを特徴とするスペクトル拡散受信装置。

【請求項 3】 前記タイミング調整回路は、前記記憶回路に所定量の逆拡散データが格納されたときにレイク合成のためのタイミング信号を出力することを特徴とする請求項 2 に記載のスペクトル拡散受信装置。

【請求項 4】 前記各フィンガ処理回路は、所定長の逆拡散が終了する毎にその逆拡散データと逆拡散データ出力フラグを生成出力し、

前記タイミング調整回路は、前記各フィンガ処理回路によって生成出力される逆拡散データ出力フラグを参照し、前記各フィンガ処理回路の処理タイミングが異なるとき、前記逆拡散データ出力フラグが入力されたタイミングでその逆拡散データを前記記憶回路に書き込み、

前記各フィンガ処理回路の処理タイミングが同時であったとき、あらかじめ決められた優先順位に従いその逆拡散データを前記記憶回路に書き込むことを特徴とする請求項 2 に記載のスペクトル拡散受信装置。

【請求項 5】 前記記憶回路に前記逆拡散データを書き込むときに生成されるアドレスは、前記記憶回路へ書き込むフィンガ番号、前記フィンガ処理回路で処理するシンボル番号ならびに前記記憶回路に所定量の逆拡散データが格納されたとき、0、1 の値を交互にとる変数によって決まることを特徴とする請求項 4 に記載のスペクトル拡散受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA（符号分割多重アクセス：Code Division Multiple Access）方式のスペクトル拡散受信装置に関する。

【0002】

【従来の技術】

CDMA方式のスペクトラム拡散受信装置において、マルチパスからの信号を受信し、各パス毎に対応したタイミング調整により同期をとって相関処理し、各パスの相関出力をレイク（以下、RAKEと称する）合成して目的の信号を得るスペクトル拡散受信装置の構成例を図3に示す。

【0003】

図3において、レプリカ符号発生器34、相関器35、同期検波器36（34、35、36をまとめてフィンガ処理部という）は、それぞれタイミング制御回路33によって割り当てられたタイミングで検波を行なう。タイミング調整バッファ37でタイミングを合わせた検波データがRAKE合成器38に入力されることによりRAKE合成され、復調データが出力される。このことは、先願として特開平10-190528号に詳細に開示されている。

【0004】

【発明が解決しようとする課題】

従来、上述したRAKE合成はシンボル単位で行なっており、従って問題はなかったが、さらに発達したGSM（Global System for Mobile communication）コア・ネットワークおよび無線アクセス技術に基づく第3世代移動システム用技術仕様を策定するための標準化団体である3GPP（3<sup>rd</sup> Generation Partn

ership Project : 第 3 世代パートナーシップ・プロジェクト) の規定では、複数シンボルに跨る処理が追加されている。このため、複数シンボルをまとめて処理するのに適しているアーキテクチャが必要となってきた。

#### 【0005】

また、フィンガ本数の増加、マルチコード等 RAKE の機能増加にともなって処理が複雑になってきているため、従来のようにシンボル単位でハードウェアにより処理するよりもソフトウェアで処理した方が機能性、拡張性に富む。

いずれにしても従来例によれば複数シンボルを跨いだ RAKE 処理が不可能であり、シンボル単位での処理が要求されるため、ソフトウェアで処理を行なうことが困難であった。更に、従来技術によれば、タイミング遅延の許容量やフィンガ数が増加すると回路の増加が著しくコスト高になるといった問題もあった。

#### 【0006】

本発明は上記事情に鑑みてなされたものであり、受信データに基づきフィンガ処理部で生成された逆拡散データを RAKE 合成する際に、逆拡散データを一つの記憶回路に書き込んだ後に RAKE 合成することにより、複数シンボルを跨いだ RAKE 合成を可能とし、また、タイミング調整を行なうことで記憶回路を介在させることにより、ある一定の単位でまとめて RAKE 合成以降の処理を行ない、ソフトウェア記述による回路設計を行なう場合に適するようにしたスペクトル拡散受信装置を提供することを目的とする。

また、記憶回路を一面だけ持つことでアドレスデコーダを一元化して、回路を小型化することのできるスペクトル拡散受信装置を提供することも目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上記した課題を解決するために請求項 1 に記載の発明は、受信データに基づいて生成される逆拡散データを RAKE 合成する際、複数シンボルの逆拡散データを一旦記憶回路に格納した後に所定のタイミング調整を行うことにより RAKE 合成することとした。

このことにより、記憶回路内にはある長さ単位の逆拡散データを格納し、その逆拡散データが例えば記憶回路の半分を埋めたときにタイミング信号を出力する

ことで RAKE 合成を起動することで複数シンボルを跨ぐ RAKE 合成が可能となる。

#### 【0008】

請求項 2 に記載の発明は、マルチパスからの受信データを、各パス毎に対応したタイミングに従って同期をとって相関処理し、各パスの相関出力信号を RAKE 合成するスペクトル拡散受信装置であって、タイミングに従う逆拡散データを生成する複数のフィンガ処理回路と、逆拡散データが所定長単位で格納される記憶回路と、記憶回路に所定量の逆拡散データが格納されたときにタイミング信号を出力するタイミング調整回路と、タイミング調整回路により出力されるタイミング信号により記憶回路から所定長の逆拡散データを読み出し、RAKE 合成を行なう RAKE 合成器とを備えることとした。

上記構成により、受信データに基づきフィンガ処理回路で生成された逆拡散データを RAKE 合成する際に、逆拡散データを一つの記憶回路に書き込んだ後に RAKE 合成することにより、複数シンボルを跨いだ RAKE 合成を可能とし、また、タイミング調整を行なうことで記憶回路を介在させることにより、ある一定の単位でまとめて RAKE 合成以降の処理を行なうものであり、ソフトウェア記述による回路設計を行なう場合にも適する。

#### 【0009】

請求項 3 に記載の発明は、請求項 2 に記載のスペクトル拡散受信装置において、タイミング調整回路は、前記記憶回路に所定量の逆拡散データが格納されたとき、つまり全フィンガの所定量の処理が終了したときに RAKE 合成タイミング信号を出力することとした。

このことにより、記憶回路に対する書き込みがある一定の単位で行われ、RAKE 合成以降の処理をソフトウェアで行うことが容易になり、また、記憶回路周辺も単純な構成で済み、特に、記憶回路を一面だけ持つことでアドレスデコーダを一元化して回路規模を小型化できる。

#### 【0010】

請求項 4 に記載の発明は、請求項 2 に記載のスペクトル拡散受信装置において、各フィンガ処理回路は、所定長の逆拡散が終了する毎にその逆拡散データと逆



拡散データ出力フラグを出力し、タイミング調整回路は、各フィンガ処理回路によって出力される逆拡散データ出力フラグを参照し、各フィンガの処理回路のタイミングが異なるとき、逆拡散データ出力フラグが入力されたタイミングでその逆拡散データを記憶回路に書き込み、各フィンガ処理回路タイミングが同時のとき、あらかじめ決められた優先順位に従いその逆拡散データを記憶回路に書き込むこととした。

#### 【 0 0 1 1 】

また、請求項 5 に記載の発明は、請求項 4 に記載のスペクトル拡散受信装置において、記憶回路に逆拡散データを書き込むときに生成されるアドレスは、記憶回路へ書き込むフィンガ番号、フィンガ処理回路で処理するシンボル番号ならびに前記記憶回路に所定量の逆拡散データが格納されたとき、つまり全フィンガの所定量の処理が終了したとき、0、1 の値を交互にとる変数によって決まることとした。

このことにより、各フィンガ処理回路から出力される逆拡散データを記憶回路に書き込む順番が制御され、また、アドレス生成がプログラム化されることにより、タイミング調整回路による調停ならびにソフトウェア処理が容易となり、複数シンボルを跨ぐ RAKE 合成を簡単に行なうことができる。また、ある一定の単位で RAKE 合成以降の処理を行なうためソフトウェアでの処理が可能となり、記憶回路を一面だけ持つことにより、回路規模の小型化もはかれる。

#### 【 0 0 1 2 】

##### 【発明の実施の形態】

図 1 は本発明におけるスペクトル拡散受信装置の一実施形態を示すブロック図である。本発明のスペクトル拡散受信装置は、アンテナ 1、無線回路 2、タイミング制御回路 3、フィンガ処理回路 1 0 0、1 0 1、1 0 2、タイミング調整回路 7 1、記憶回路 8 1、RAKE 合成器 1 0 で構成される。

フィンガ処理回路 1 0 0 は、レプリカ符号発生器 4 0、相関器 5 0、同期検波器 6 0 から構成される。同様にフィンガ処理回路 1 0 1 は、レプリカ符号発生器 4 1、相関器 5 1、同期検波器 6 1 から、フィンガ処理回路 1 0 2 は、レプリカ符号発生器 4 2、相関器 5 2、同期検波器 6 2 から構成される。

## 【 0 0 1 3 】

上記構成において、まず、アンテナ 1 で受信された変調波を無線回路 2 がベースバンド信号に変換する。タイミング制御回路 3 はベースバンド信号からマルチパスの位相(フィンガ処理タイミング 1 1 0、1 1 1、1 1 2)を検出する。フィンガ処理回路 1 0 0 は、フィンガ処理タイミング 1 1 0 に従って逆拡散を行ない、逆拡散データ 1 2 0 と逆拡散データ出力フラグ 1 5 0 を出力する。同様にフィンガ処理回路 1 0 1 は、フィンガ処理タイミング 1 1 1 に従って逆拡散を行ない、逆拡散データ 1 2 1 と逆拡散データ出力フラグ 1 5 1 を出力し、フィンガ処理回路 1 0 2 は、フィンガ処理タイミング 1 1 2 に従って逆拡散を行ない、逆拡散データ 1 2 2 と逆拡散データ出力フラグ 1 5 2 を出力する。

## 【 0 0 1 4 】

タイミング調整回路 7 1 は、逆拡散データ出力フラグ (1 5 0、1 5 1、1 5 2) により、各フィンガの処理が終了したことを検出し、逆拡散データ (1 2 0、1 2 1、1 2 2) のタイミング調停を行なう。タイミング調整回路 7 1 は、逆拡散データ出力フラグが 1 個だけ入力された場合、すなわち、各フィンガ処理回路 1 0 0、1 0 1、1 0 2 の処理タイミングが異なる場合、逆拡散データ出力フラグ 1 5 0、1 5 1、1 5 2 が入力されたタイミングで記憶回路 8 1 に逆拡散データを書き込む。

このとき、フィンガ番号、シンボル番号、図 2 のフローチャート内に示されている変数 `bank` により生成される書き込みアドレス 1 3 0、書き込み信号 1 3 2 により、逆拡散データが書き込みデータ 1 3 1 として記憶回路 8 1 に書き込まれる。

## 【 0 0 1 5 】

タイミング調整回路 7 1 に複数の逆拡散データ出力フラグ 1 5 0、1 5 1、1 5 2 が入力された場合、すなわち、各フィンガ処理回路 1 0 0、1 0 1、1 0 2 の処理タイミングが同時となるような場合は、あらかじめ決められた優先順位に基づいた順番で記憶回路 8 1 への逆拡散データの書き込みが行なわれる。

例えば、逆拡散データ出力フラグ 1 5 0、1 5 1、1 5 2 が同時に 3 個入力された場合、すなわち、3 本のフィンガのタイミングが同時であった場合、まず、

逆拡散データ 1 2 0 を記憶回路 8 1 に書き込む。

次に、1 サイクル待った後、逆拡散データ 1 2 1 を記憶回路 8 1 に書き込む。同様に、更に 1 サイクル待った後、逆拡散データ 1 2 2 を記憶回路 8 1 に書き込む。一般的に拡散レートと比較してシンボルレートは大きいので、タイミングを待つ時間には余裕があり、すべての逆拡散データを問題なく順番に書き込むことが出来る。

#### 【0016】

記憶回路 8 1 にはある長さ単位（スロット単位等）の 2 倍の逆拡散データが格納される。タイミング調整回路 7 1 は、ある長さ単位（スロット単位）の逆拡散データの格納が終了した後、タイミング信号 9 を発生し、RAKE 合成器 1 0 に通知する。RAKE 合成器 1 0 は、このタイミング信号 9 により、読み出しアドレス 1 4 0 のデータを読み出し信号 1 4 2 によって逆拡散データを読み出して（読み出しデータ 1 4 1）RAKE 合成を行なう。この動作と並行して、記憶回路 8 1 の別のアドレスには逆拡散データが順次書き込まれる。

なお、図 1 に示すレプリカ符号発生器 4 0、4 1、4 2、相関器 5 0、5 1、5 2、同期検波器 6 0、6 1、6 2 の構成は従来から周知化されており、また、本発明とは直接関係しないので、その詳細な説明は省略する。

#### 【0017】

図 2 は、図 1 に示すスペクトル拡散受信装置の回路動作をフローチャートで示した図である。図 2 中、点線で囲った部分はタイミング調整回路 7 1 の処理を示す。また、図 2 に示すフローチャート中、変数 “N s y m” は、1 スロットあたりのシンボル数、“f s y m [ a ]” はフィンガのシンボル番号、“o u t f l a g [ a ]” はフィンガ処理回路 1 0 0（1 0 1、1 0 2）の逆拡散出力フラグ、“o u t P” は記憶回路 8 1（d p r a m）へ書き込むフィンガ番号、“b a n k” は、d p r a m アドレスの最上位ビット、“d p r a m” は記憶回路 8 1、“%” は余剰演算子とする。また、ここでは、フィンガを 3 本あるものとして説明する。

#### 【0018】

以下、図 2 に示すフローチャートを参照しながら図 1 に示す本発明実施形態の

動作について詳細に説明する。

まず、変数“f s y m”、“b a n k”に“0”を設定して初期化すると共に、タイミング制御回路3に逆拡散タイミングを設定する（ステップA 1、A 2、A 3）。そして、アンテナ1で受信された変調波は無線回路2によってベースバンド信号に変換され、タイミング制御回路3によってベースバンド信号からマルチパスの位相（フィンガ処理タイミング1 1 0、1 0 1、1 0 2）が検出される。

#### 【0 0 1 9】

フィンガ処理回路1 0 0は先に設定された逆拡散タイミング1 1 0に従って逆拡散を行ない（ステップA 3、A 4）、逆拡散データ1 2 0を出力する。同様にフィンガ処理回路1 0 1は、フィンガ処理タイミング1 1 1に従って逆拡散を行ない、逆拡散データ1 2 1を出力し、フィンガ処理回路1 0 2は、フィンガ処理タイミング1 1 2に従って逆拡散を行ない、逆拡散データ1 2 2を出力する。

各フィンガ処理回路1 0 0、1 0 1、1 0 2は、1シンボル分の逆拡散が終了するとそれぞれ逆拡散データ出力フラグ1 5 0、1 5 1、1 5 2を出力する。次に、ステップA 5で逆拡散データ出力フラグが出力されているか否かを判定し、出力されていない場合は、ステップA 4の動作に戻り逆拡散を続ける。

#### 【0 0 2 0】

ステップA 5において、逆拡散データ出力フラグが1個のみ出力されている場合と2個以上出力されている場合がある。以下、フィンガ処理回路1 0 1とフィンガ処理回路1 0 2から同時に逆拡散データ出力フラグ1 5 0、1 5 1が出力された場合について説明する。

ステップA 5で逆拡散データ出力フラグが検出されると、ステップA 6の処理に進む。ステップA 6ではフィンガ処理回路1 0 0の逆拡散データ出力フラグの有無を検出する。ここでは、フィンガ1 0 0の逆拡散データ出力フラグ1 5 0は出力されていないので、ステップA 7の処理に進む。

#### 【0 0 2 1】

ステップA 7ではフィンガ処理回路1 0 1の逆拡散データ出力フラグ1 5 1の有無を検出する。ここではフィンガ処理回路1 0 1の逆拡散データ出力フラグ1 5 1が出力されているので、ステップA 9の処理に進む。ステップA 9ではフィ

フィンガ処理回路 1 0 1 の逆拡散データ出力フラグ 1 5 1 を “0” に設定し、記憶回路 8 1 への書き込みアドレスの要素の一つである変数 “out P” にフィンガ番号 “1” を設定してステップ A 1 1 の処理に進む。ステップ A 1 1 ではフィンガ処理回路 1 0 1 の逆拡散データを、bank [out P]、out P、f s y m [out P] に従う記憶回路 8 1 のアドレスに書き込む。

#### 【0 0 2 2】

ステップ A 1 2 では、フィンガ処理回路 1 0 1 のシンボル番号 f s y m [out P] をカウントアップする。ステップ A 1 3 では、フィンガ処理回路 1 0 1 のスロットが終了したかどうかを判定し、フィンガ処理回路 1 0 1 のスロットが終了していない場合、ステップ A 4 の動作に戻り、逆拡散を行なう。次に、ステップ A 5 で逆拡散データ出力フラグ 1 5 0、1 5 1、1 5 2 が出力されているか否かを判定する。

ここでは、フィンガ処理回路 1 0 2 の逆拡散データ出力フラグ 1 5 2 が出力されているため、ステップ A 6 の処理に進む。ステップ A 6 ではフィンガ処理回路 1 0 0 の逆拡散データ出力フラグ 1 5 0 が検出されないのでステップ A 7 の動作に進む。

#### 【0 0 2 3】

ステップ A 7 では、フィンガ処理回路 1 0 1 の逆拡散データ出力フラグ 1 5 1 が検出されないので、つまり、フィンガ処理回路 1 0 2 の逆拡散データ出力フラグ 1 5 2 が出力されているので、ステップ A 8 の処理に進む。

ステップ A 8 では、フィンガ処理回路 1 0 2 の逆拡散データ出力フラグ 1 5 2 を “0” に設定し、記憶回路 8 1 への書き込みアドレスの要素の一つである変数 “out P” にフィンガ番号 “2” をセットし、ステップ A 1 1 の処理に進む。以下、ステップ A 1 2 以降を処理し、上記のステップ A 4 からステップ A 1 3 に至る動作をスロットが終了するまで繰り返す。

#### 【0 0 2 4】

フィンガ番号 out P のスロットが終了した場合、ステップ A 1 3 からステップ A 1 4 の動作に進み、bank [out P] に “1” を加算する。このとき、bank [out P] は “0” か “1” の値をとる。

ステップA15では、全フィンガのスロットが終了したか否かを判定する。ここで、全フィンガのスロットが終了していない場合、ステップA14の動作に戻る。全フィンガのスロットが終了した場合、ステップA16の処理に進み、タイミング信号9を“1”（スロット終了）に設定してステップA4の動作に戻る。

#### 【0025】

RAKE合成器10はタイミング信号9を受け取った後、記憶回路81から逆拡散データを読み出してRAKE合成を行なう。そして、タイミング信号9を“0”に戻し、以降、ステップA4からA16に至る一連の動作を繰り返す。なお、逆拡散タイミングが新たに設定された場合はステップA1の動作に戻る。

#### 【0026】

以上説明のように本発明は、受信データに基づきフィンガ処理部100、101、102で生成された逆拡散データをRAKE合成する際に、逆拡散データを一つの記憶回路81に書き込んだ後にRAKE合成することにより、複数シンボルを跨いだRAKE合成を可能とし、また、タイミング調整回路71でタイミング調整を行なうことで記憶回路81を介在させることにより、ある一定の単位でまとめてRAKE合成以降の処理を行ない、ソフトウェア記述による回路設計を行なう場合にも適するものである。また、記憶回路を一面だけ持つことでアドレスコーダを一元化して、回路を小型化することもできる。

なお、上述した本発明実施形態においては、フィンガ本数を3本、記憶回路81への格納単位がスロットとして説明したが、フィンガの本数はN本、記憶回路81への格納単位はMシンボルとして任意に構成することができる。なお、本発明が上記各実施形態に制限されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。

#### 【0027】

##### 【発明の効果】

以上説明のように本発明によれば、記憶回路内にはある長さ単位の逆拡散データを格納し、その逆拡散データが例えば記憶回路の半分を埋めたときにタイミング信号を出力することでRAKE合成を起動することで複数シンボルを跨ぐRAKE合成が可能となる。また、一つの記憶回路に複数シンボルの逆拡散データを

持つことにより、複数シンボルを跨いだ RAKE 合成が可能となる他、記憶回路  
 に対しての書き込みがある一定の単位で行われるので RAKE 合成以降の処理を  
 ソフトウェア化することが容易となる。

更に、タイミング調整回路で記憶回路への書き込みタイミングを調整し、記憶  
 回路を一面だけ持つことにより回路を小型化することも可能である。

【図面の簡単な説明】

【図 1】 本発明におけるスペクトル拡散受信装置の一実施形態を示すブロ  
 ック図である。

【図 2】 図 1 に示す本発明実施形態の動作をフローチャートで示した図で  
 ある。

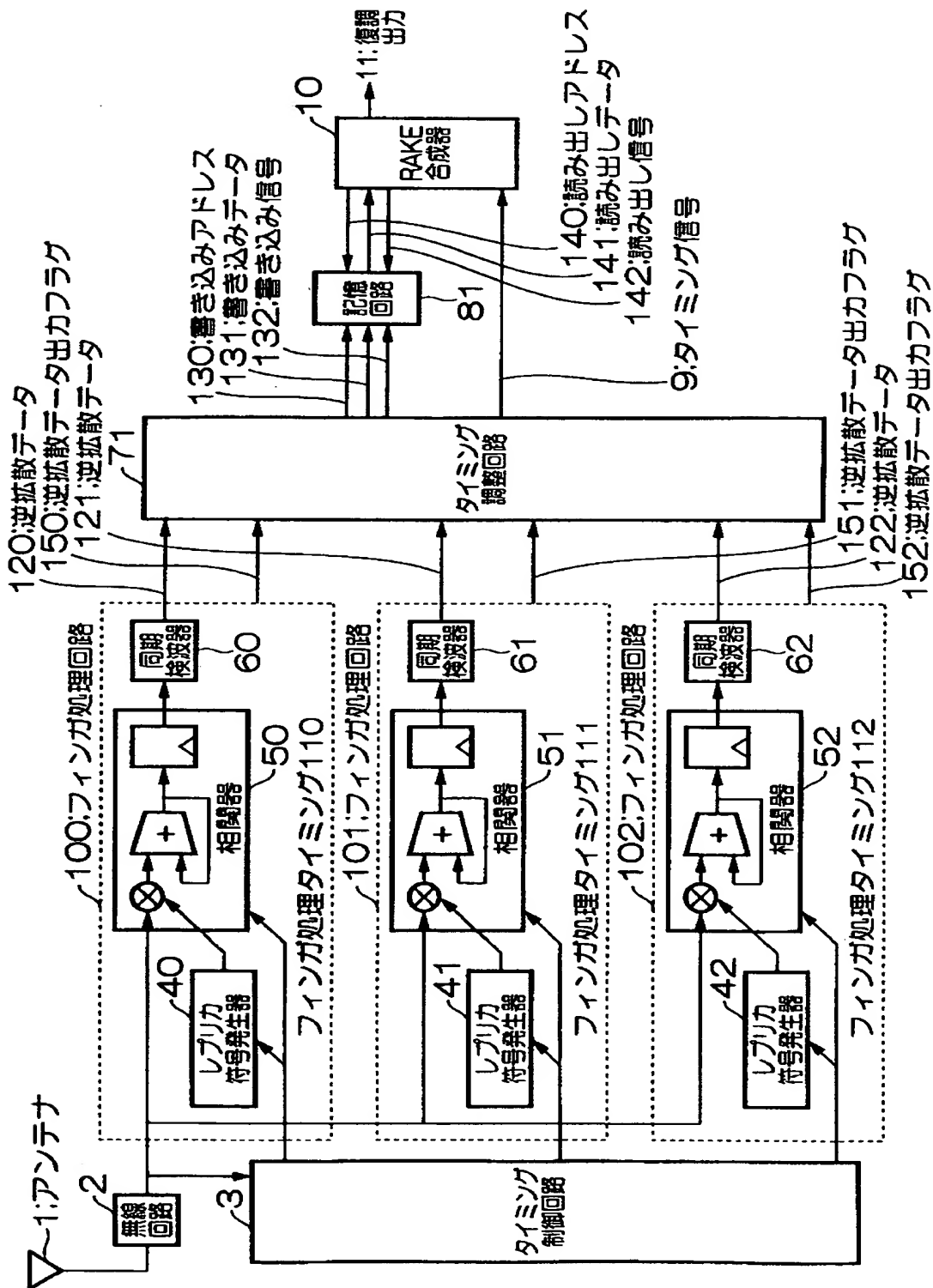
【図 3】 従来におけるスペクトル拡散受信装置の構成例を示すブロック図  
 である。

【符号の説明】

1 … アンテナ、 2 … 無線回路、 3 … タイミング制御回路、 1 0 … RAKE 合成器  
 、 7 1 … タイミング調整回路、 8 1 … 記憶回路、 1 0 0 ( 1 0 1、 1 0 2 ) … フ  
 ィンガ処理回路、 1 5 0 ( 1 5 1、 1 5 2 ) … 逆拡散データ出力フラグ

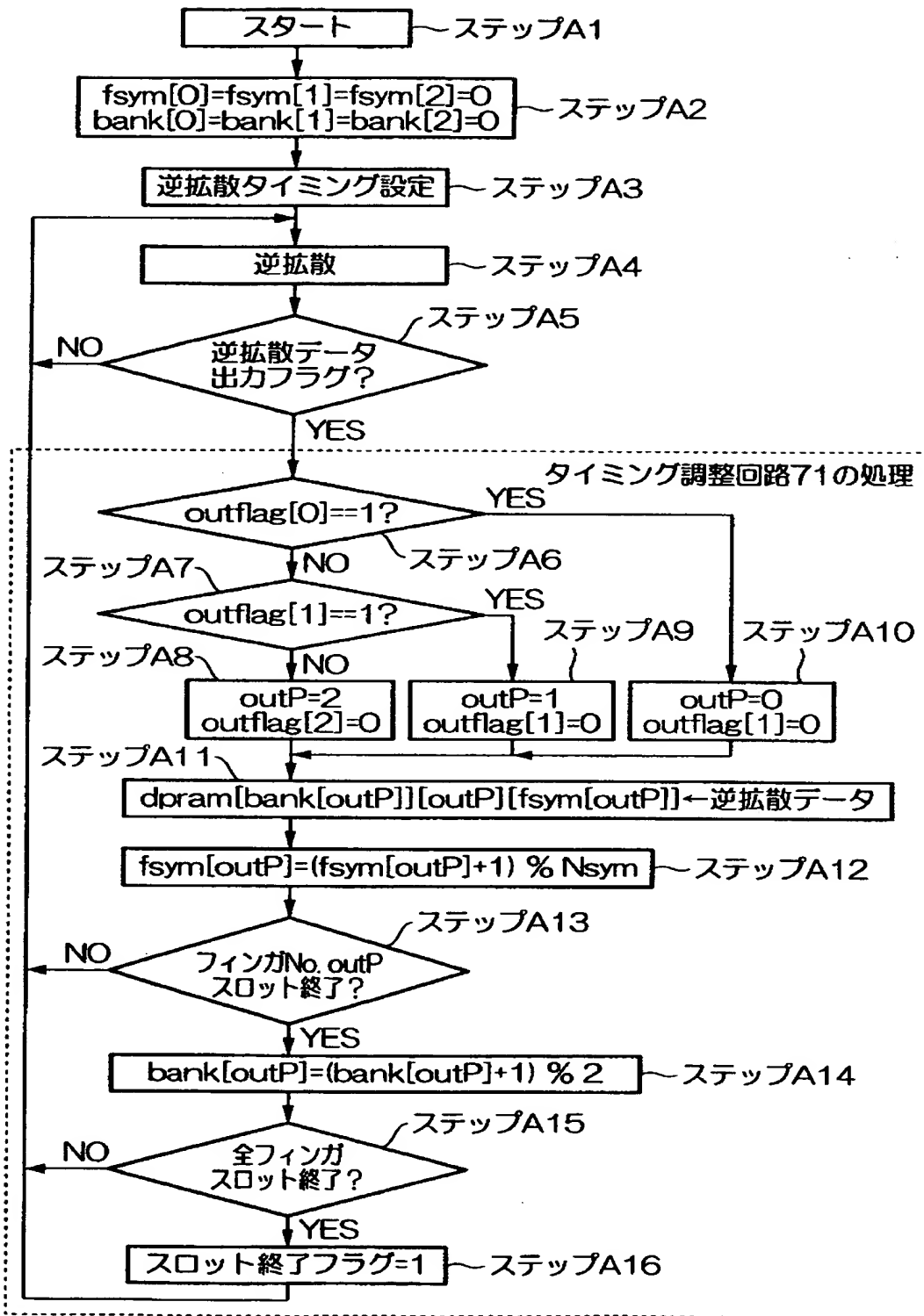
【書類名】 図面

【図 1】

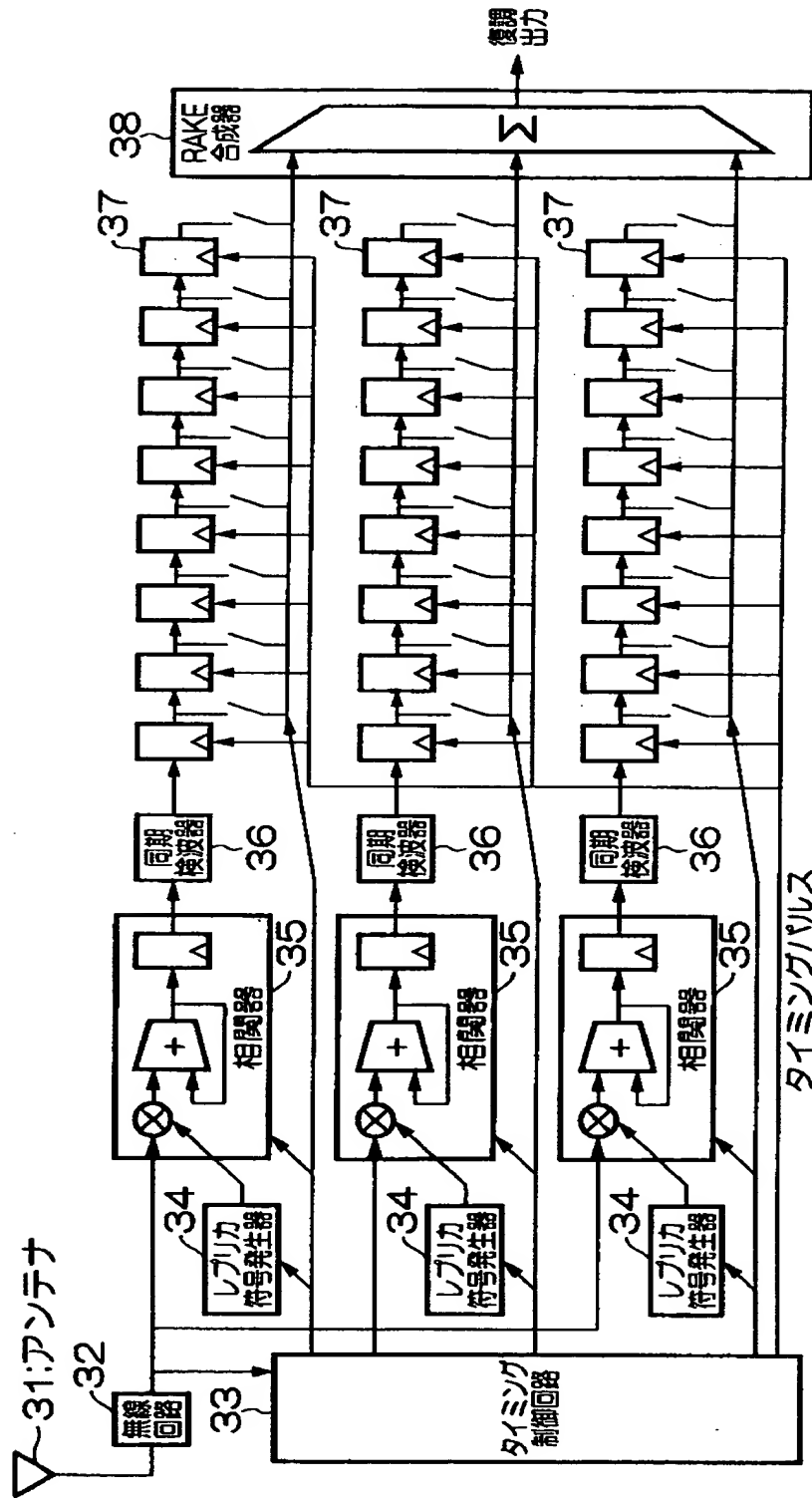




【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 複数シンボルを跨いだ RAKE 合成を可能とし、また、ソフトウェア記述による回路設計を行なう場合に適するようにしたスペクトル拡散受信装置を提供する。

【解決手段】 マルチパスからの受信データを、各パス毎に対応したタイミングに従って同期をとって相関処理し、各パスの相関出力信号を RAKE 合成するスペクトル拡散受信装置であって、タイミングに従う逆拡散データを生成する複数のフィンガ処理回路 100 (101、102) と、逆拡散データが所定長単位で格納される記憶回路 81 と、記憶回路 81 に所定量の逆拡散データが格納されたときにタイミング信号を出力するタイミング調整回路 71 と、タイミング調整回路 71 により出力されるタイミング信号により記憶回路 81 から所定長の逆拡散データを読み出し、RAKE 合成を行なう RAKE 合成器 10 とを備えた。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-163420
受付番号	50000677577
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成12年 6月 6日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000232036
【住所又は居所】	神奈川県川崎市中原区小杉町1丁目403番53
【氏名又は名称】	日本電気アイシーマイコンシステム株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	村山 靖彦
----------	-------

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日	1990年 8月13日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区小杉町1丁目403番53
氏 名	日本電気アイシーマイコンシステム株式会社